

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-232923

(43)Date of publication of application : 10.09.1993

(51)Int.Cl.

G09G 5/18
 G06F 3/14
 G09G 3/32
 G09G 5/00
 G09G 5/34
 // G09G 3/26

(21)Application number : 04-070110

(71)Applicant : KOKUSAI ELECTRIC CO LTD

(22)Date of filing : 21.02.1992

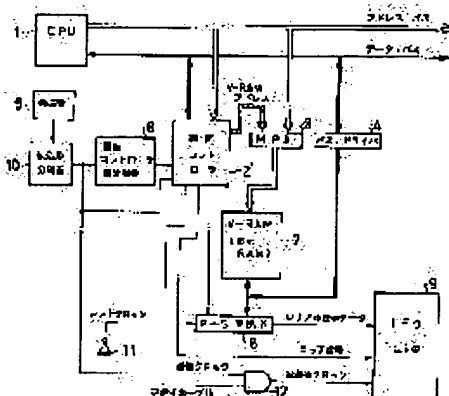
(72)Inventor : SUGAWARA TOSHIYUKI
 ONO YASUHIRO

(54) DISPLAY DEVICE AND CONTROLLING METHOD THEREFOR

(57)Abstract:

PURPOSE: To provide a display device and its controlling method capable of executing vertical scrolling in a display device having a display part arraying plural display units in a horizontal direction and vertically scanning each display unit without rewriting the display data of a display RAM and capable of reducing the load of a CPU.

CONSTITUTION: An transmission enable signal from a screen controller 2' and a transmission clock from a transmission frequency divider 10 are applied to an AND circuit 12 to find out their AND and a real transmission clock is outputted to a display part 9. Although a V-RAM 7 is duplexed to one vertical raster of the display part 9 and twice of display data for one raster are outputted, data are limited to one raster with the real transmission clock and the vertical scrolling can be executed by variably setting up output timing in each display data of the transmission enable signal by one screen.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
 examiner's decision of rejection or application
 converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
 rejection]

[Date of requesting appeal against examiner's decision
 of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-232923

(43)公開日 平成5年(1993)9月10日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 5/18		8121-5G		
G 0 6 F 3/14	3 6 0 D	7165-5B		
G 0 9 G 3/32		8621-5G		
5/00	M	8121-5G		
5/34		8121-5G		

審査請求 未請求 請求項の数 3 (全 20 頁) 最終頁に続く

(21)出願番号 特願平4-70110

(22)出願日 平成4年(1992)2月21日

(71)出願人 000001122

国際電気株式会社

東京都港区虎ノ門2丁目3番13号

(72)発明者 菅原 敏幸

東京都港区虎ノ門2丁目3番13号 国際電気株式会社内

(72)発明者 小野 恭裕

東京都港区虎ノ門2丁目3番13号 国際電気株式会社内

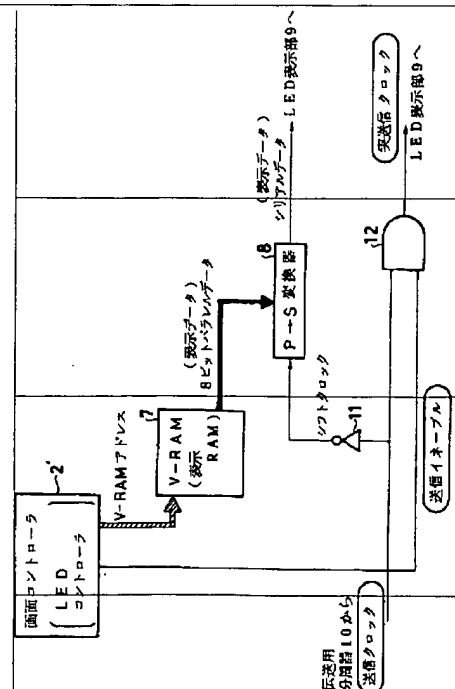
(74)代理人 弁理士 阪本 清孝 (外1名)

(54)【発明の名称】 表示装置及びその制御方法

(57)【要約】

【目的】 表示ユニットにおける走査が垂直方向で、該表示ユニットを水平方向に複数配列した表示部を有する表示装置における上下スクロールを表示RAMの表示データの書き替えを行わずに実現し、CPUの負荷を低減できる表示装置及びその制御方法を提供する。

【構成】 画面コントローラ2'からの送信イネーブル信号と伝送用分周器10からの送信クロックとの論理積をAND回路12でとって実送信クロックを表示部9へ出力し、そして表示部9の垂直方向1ラスタに対してV-RAM7が二重化されており、1ラスタに対して2倍の表示データが出力されるが、実送信クロックにより1ラスタ分に制限され、送信イネーブル信号の一画面分の表示データを単位として出力タイミングを可変にすることで上下スクロールを行う表示装置及びその制御方法である。



(2)

1

【特許請求の範囲】

【請求項1】 垂直方向の走査が為される表示ユニットを水平方向に複数配列した表示部と、前記表示部での表示のタイミングとなる送信クロックを発生させる送信クロック発生部と、表示データがアドレスに従って格納された表示RAMと、前記表示RAMのアドレスを指定して前記表示データを出力させる画面コントローラと、前記出力された表示データをパラレルデータとして受け取り、前記送信クロックに同期してシリアルデータへ変換して前記表示部に出力するパラレル／シリアル変換器とを有する表示装置において、前記表示ユニットの垂直方向1ラスタに対応する部分の前記表示RAMのアドレスを多重化して前記表示RAMの表示データを格納し、前記表示部の垂直方向1ラスタを表示する表示期間と同じ期間の信号を一定間隔で出力する信号出力手段と、前記信号と前記送信クロックとの論理積をとって実送信クロックを発生させて前記表示部に出力する実送信クロック発生手段とを設けたことを特徴とする表示装置。

【請求項2】 表示部での一画面分の表示データが前記表示部に転送される毎に信号出力手段から出力される信号の出力タイミングを早くするようにしたことを特徴とする請求項1記載の表示装置の制御方法。

【請求項3】 表示部での一画面分の表示データが前記表示部に転送される毎に信号出力手段から出力される信号の出力タイミングを遅くするようにしたことを特徴とする請求項1記載の表示装置の制御方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、LEDドットマトリクス表示器等のドットマトリクス状の表示装置に係り、特に表示部を垂直走査として構成した場合について、上下の垂直スクロール動作を行う際のCPUの負荷を低減させることができる表示装置及びその制御方法に関する。

【0002】

【従来の技術】従来のドットマトリクス表示装置について、LEDドットマトリクス表示装置を例に取り、図16の回路構成ブロック図を使って説明する。

【0002】図16は一般的な表示装置の表示回路の構成を示したものであり、表示部をLEDドットマトリクスディスプレイで構成している。LEDドットマトリクスディスプレイは、16×16のマトリクス状にLEDを配置し、このディスプレイを単位（ユニット）として複数個を縦、横と組み合わせることで何行、何列の表示部9を構成することができる表示装置である。

【0003】従来のLEDドットマトリクス表示装置における各構成部分について説明すると、CPU1は、アドレス・バスを介してアクセスする装置を特定し、例えば、記憶装置等（図示せず）内のデータにアクセスし、更にCPU1はアドレス・バスによりマルチプレクサ

（MPX）3のアドレスを指定して、バス・ドライバ4

2

を開にして記憶装置等から表示データを表示RAM（V-RAM）7へ書き込むようになっている。

【0004】MPX3は、CPU1と画面コントローラ2の切替器となっており、CPU1がV-RAM7に動作する時はバス・ドライバ4は開となつてV-RAM7に表示データを書き込むことになり、また、画面コントローラ2がV-RAM7に動作する時はバス・ドライバ4は閉となつてMPX3は画面コントローラ2とV-RAM7とを接続するようになっている。

10 【0005】発振器5から発振されたクロックは、伝送用分周器10で1/8倍され、その後一方はパラレル／シリアル変換器（P/S変換器）8に出力され、他方は画面コントローラ用分周器6で1/8倍のクロックに変換されて画面コントローラ2に出力される。画面コントローラ2は、入力されるクロックのタイミングによりMPX3を介してV-RAM7にCPU1から与えられた表示アドレスを出力するようになっている。

【0006】V-RAM7は、画面コントローラ2からMPX3を通してLED表示部9へ表示すべき内容に対応する表示アドレスを順次受け取ることで、表示アドレスに対応した表示データを伝送用分周器10の出力タイミングでP/S変換器8を経由してLED表示部9に出力し、表示するものである。

【0007】表示部9は、内部に表示ドット数に一致する横1ラスタ分のシフトレジスタを持っており、表示部9の全ラスタについて走査することで全表示画面を構成するようになっている。そして、画面コントローラ2は、表示部9のタイミングに合わせて送信クロック、表示アドレス、ラスタを切り替えるためのラッチ信号を表示部9に送信し、表示部9の表示画面の制御を行うものである。

【0008】そして、LEDドットマトリクスディスプレイの1単位を構成する16×16ドットのマトリクス状のLEDにおいて、一般的には、図17（a）に示すように走査方向を水平方向にしたものとなっているが、図17（b）に示すように走査方向と垂直方向になるようにしたものも考えられる。

【0009】以下、垂直方向の走査を行う表示装置について、図18～図26を使って説明する。図18～図20は、表示部とV-RAMの関係を示す概略図であり、図21は、V-RAMアドレスと送信クロックの関係を示す図である。

【0010】図20に示すように、V-RAM7上のアドレスは、8ビットを単位として、先頭0000Hから7FFFHまで順に配列されるようになっている。また、図18及び図19に示すように、表示部9は、8ビット×2を1つのカラムとし、1～16カラムで1ユニットの1桁とし、1～16桁で構成されるようになっている。

【0011】そして、図20に表示部9とV-RAMア

50

(3)

3

ドレスの対応を示すように、表示部9の1桁目の1カラム目にV-RAMアドレス0000H、0001Hが対応し、1桁目の2カラム目にV-RAMアドレスの0002H、0003Hが対応し、このようにして、1桁目の16カラム目にV-RAMアドレス001EH、001FHが対応し、2桁目の1カラムにV-RAMアドレス0020H、0021Hが対応して、最後16桁目の16カラム目にはV-RAMアドレス00FEH、00FFHが対応するようになっている。

【0012】上記のような対応関係にあるV-RAM7において、画面コントローラ2からV-RAMアドレスの指定が為されると、そのV-RAMアドレスに格納されている表示データ（シリアルデータ）がV-RAM7から出力されて、図22の概略図に示すLEDドットマトリクスディスプレイのユニット内部を構成するシフトレジスタに取り込まれる。

【0013】このシフトレジスタから表示データは、図23のタイミングチャート図に示すように、送信クロックと同期して、表示部9を構成するLEDドットマトリクスディスプレイへ8ビット毎に順次送信され、表示部9で垂直走査を行うようになっている。

【0014】V-RAMアドレスは、図21及び図23に示すように、送信クロック8回で表示データ8ビットを送信し、V-RAMアドレスを0000Hから0001Hへ切替え、次に001Hから0020Hと切替え、更に0020Hから0021Hへと切替えるようになっている。

【0015】つまり、表示部9における垂直走査は、図24の概略図に示すように、1桁目の1カラム目に表示データを送信した後に、2桁目の1カラム目に表示データの送信し、このようにして、1～16桁目の1カラム目に表示データの送信を行う。次に、1～16桁目の2カラム目に表示データを送信し、最後は1～16桁目の16カラム目に表示データの送信を行うものである。

【0016】そして、上記従来の表示装置では、図19に示したLEDの表示部9を表示させて上下方向に関してスクロール動作を行う場合、ソフトウェアによってV-RAM7上の表示データを図25に示すように(a)～(d)へと書き替えていくことで、表示部9での上方向に少しずつずらした状態の表示を行わせ、これが連続してスクロール動作が行われるようになっている。

【0017】具体的には、図25(a)のV-RAM7上の表示データaを表示部9へ送信し、次にV-RAM7上で表示データb(図25(a)の表示状態を少し上へずらした表示データ)の書替えを行い、表示部9へ送信する。この一連の書替えと送信の動作を(c)から(d)へと行うことで、図25(a)の状態の表示を上方向へスクロールしていく動作が完成することになる。

【0018】また、左右方向へスクロール動作を行う場合について、図26を使って説明する。V-RAMアド

4

レスを画面コントローラ2から生成してV-RAM7へ入力し、表示開始アドレス0000Hで図26(a)に示す表示を行う。次に、ソフトウェアにより表示データが格納されているV-RAM7に対して画面コントローラ2が発生するV-RAMアドレスの表示開始アドレスを0010H、0020H、0030Hと書替えていき、1画面ずつの表示を行わせ、図26(a)～(d)の表示を順次行わせて左スクロールの動作を行うようになっている。

10 【0019】つまり、画面コントローラ2が発生したV-RAM7の先頭アドレスを開始アドレス0010Hとしたことにより、表示データがV-RAMアドレス0010Hの表示データより始まるように図21に示したタイミングで表示部9に出力し、図26(b)の表示が為される。

【0020】このような原理に従って、1カラム分ずつずらして表示画面を左へスクロールさせるためには、ソフトウェアによって、画面コントローラ2から発生したV-RAMアドレスの開始アドレスを0000Hから0002Hへ切替えを行い、V-RAM7上の表示データを表示部9へ送信し、表示が左側へ1カラム分ずれた表示が行われた後、次に開始アドレスを0004Hへと切替えを行って表示データを送信するといった処理を、開始アドレスが増える方向へ切替えて表示を行うことで、1カラム分ずつの左スクロール動作が可能となる。

【0021】逆に、右スクロール動作は、開始アドレスを減る方向へと切替えていくことで実現できる。このように、図18に示した垂直方向の表示部9において、左右スクロール動作は、V-RAMアドレスの開始アドレスを切替えるだけで、V-RAM7の表示データの書替えを行わずに同一のV-RAM7内の表示データで容易に左右スクロール動作が行えるようになっていた。

【0022】

【発明が解決しようとする課題】しかしながら、上記従来の垂直方向走査の表示装置では、ソフトウェアによる上下(垂直方向)スクロール動作は、左右(水平方向)スクロール動作の場合のV-RAMアドレスの開始アドレスを切替えるだけの処理とは異なり、V-RAM7上の表示データの書替えをも必要となっていた。これは、表示部9とV-RAMアドレスが垂直方向へ対応しているからである。

【0023】つまり、図25に示すような上スクロール動作を行う場合に、図25(a)に示す表示を行った後に、次にCPU1からV-RAMアドレスへ開始アドレスである0000Hの表示データの読み出し(リード)を行い、読み込んだ表示データを下位ビット側へ何ビットかシフトしたデータに変換し、変換した表示データを0000Hへ書き込み(ライト)を行い、画面コントローラ2からV-RAMアドレス0000Hを発生し、表示部9へ図21のタイミングにて送信を行うものであ

50

(4)

5

る。

【0024】そして、これらの処理を一画面分の表示データにつき行い、スクロール動作には少しずつずれた一画面分の表示データの切替えを行った後に、表示部9へ送信し、また少しずつれた1画面分の表示データを送信するといった処理が行われるものである。図25(a)～(b)～(c)～(d)の連続した上スクロール動作には、CPU1がV-RAM7上の表示データを書替え動作が大部分を占めるようになるため、CPU1の負荷が大きくなるとの問題点があった。

【0025】また、CPU1において、カラムの切替え時に画面コントローラ2から次のカラムのV-RAMアドレスの先頭アドレスが発生するまでの時間は、一定の時間(CPU占有時間)しか持ちあわせておらず、CPU占有時間はV-RAM7上の表示データの書替えのみに費やされることになる。

【0026】そのため、表示部9のサイズが短桁の場合は、図27(a)に示すように、また普通の表示サイズの表示部9であっても表示画面のある一部分の変更に關しては、表示データの書替えはCPU占有時間内に終了することができるが、表示部9のサイズが長桁となると、図27(b)に示すように、表示データの書替えが多くなり、表示期間も長くなるため、次のカラムの先頭アドレスが発生する前のCPU専有期間(一定期間)内での表示データの書替えが終了しなくなることがあり、図28(a)に示す一画面の表示が終了した後に、次の少しずつれた一画面分の表示データを表示した際に、図28(b)に示すように、ずれていない表示データが表示部9に表示されることになり、スクロール動作が続けられると、このずれていない表示部分が図28(c)に示すように表示部9の端部においてひどくなり、上スクロール動作が正常に行われなるとの問題点があった。これは、下スクロール動作に関しても同様の問題点となっていた。

【0027】本発明は上記実情に鑑みて為されたもので、垂直走査方向の表示部を有する表示装置で、表示RAMをSingle-port-RAMにて構成した表示装置の表示回路に簡単な回路を付け加えることで、CPUへの負荷を減らし、左右スクロール動作と同様に表示RAM上の表示データの書替えを行わずに、容易にスムーズな上下スクロール動作を実現することができる表示装置及びその制御方法を提供することを目的とする。

【0028】

【課題を解決するための手段】上記従来例の問題点を解決するための請求項1記載の発明は、垂直方向の走査が為される表示ユニットを水平方向に複数配列した表示部と、前記表示部での表示のタイミングとなる送信クロックを発生させる送信クロック発生部と、表示データがアドレスに従って格納された表示RAMと、前記表示RAMのアドレスを指定して前記表示データを出力させる画

6

面コントローラと、前記出力された表示データをパラレルデータとして受け取り、前記送信クロックに同期してシリアルデータへ変換して前記表示部に出力するパラレル/シリアル変換器とを有する表示装置において、前記表示ユニットの垂直方向1ラスタに対応する部分の前記表示RAMのアドレスを多重化して前記表示RAMの表示データを格納し、前記表示部の垂直方向1ラスタを表示する表示期間と同じ期間の信号を一定間隔で出力する信号出力手段と、前記信号と前記送信クロックとの論理積をとって実送信クロックを発生させて前記表示部に出力する実送信クロック発生手段とを設けたことを特徴としている。

【0029】上記従来例の問題点を解決するための請求項2記載の発明は、請求項1記載の表示装置の制御方法において、表示部での一画面分の表示データが前記表示部に転送される毎に信号出力手段から出力される信号の出力タイミングを早くするようにしたことを特徴としている。

【0030】上記従来例の問題点を解決するための請求項3記載の発明は、請求項1記載の表示装置の制御方法において、表示部での一画面分の表示データが前記表示部に転送される毎に信号出力手段から出力される信号の出力タイミングを遅くするようにしたことを特徴としている。

【0031】

【作用】請求項1記載の発明によれば、表示ユニットのラスタの走査方向を垂直方向とし、該表示ユニットを水平方向に複数配列した表示部を有するドットマトリクス状の表示装置において、表示部の垂直方向1ラスタに対応する部分の表示RAMのアドレスを多重化して表示RAMに表示データを格納し、表示部の垂直方向1ラスタを表示する表示期間に等しい期間の信号が信号出力手段から一定間隔に出力され、実送信クロック発生回路で該信号と送信クロックとの論理積をとって実送信クロックを表示部に出力し、該実送信クロックによりパラレル/シリアル変換器から出力された表示データを表示部に表示するために転送する表示装置としているので、表示部での一画面分の表示データが表示部に転送される毎に一定間隔の信号の出力タイミングを可変にすることで、実送信クロックの発生するタイミングがずれて、前の表示画面より垂直方向にずれた画面の表示が表示RAMの表示データの書き替えを行うことなくできるため、垂直方向のスクロールをCPUへの負荷を低減させて実現できる。

【0032】請求項2記載の発明によれば、請求項1記載の表示装置において、表示部での一画面分の表示データが表示部に転送される毎に実送信クロックの発生停止を制御する信号出力手段からの信号の出力タイミングを早くするような制御方法としているので、実送信クロックの発生するタイミングも早くなり、前の表示画面より

(5)

7

上方向にずれた画面の表示が表示RAMの表示データの書き替えを行うことなくできるため、表示部での画面の上方向のスクロールをCPUへの負荷を低減させて実現できる。

【0033】請求項3記載の発明によれば、請求項1記載の表示装置において、表示部での一画面分の表示データが表示部に転送される毎に実送信クロックの発生停止を制御する信号出力手段からの信号の出力タイミングを遅くするような制御方法としているので、実送信クロックの発生するタイミングも遅くなり、前の表示画面より下方向にずれた画面の表示が表示RAMの表示データの書き替えを行うことなくできるため、表示部での画面の下方向のスクロールをCPUへの負荷を低減させて実現できる。

【0034】

【実施例】本発明の一実施例について図面を参照しながら説明する。図1は、本発明の一実施例に係る表示装置の基本構成ブロック図である。尚、図16と同様の構成をとる部分については同一の符号を付して説明する。図1のブロック図における表示RAM(V-RAM)は、Single-port-RAMを使用するものである。

【0035】本実施例の表示装置は、基本的には図16に示した表示装置とほぼ同様の構造となっている。そして、表示部は図18に示した垂直走査方向の表示部となっている。

【0036】本実施例の特徴部分として、図1に示すように、伝送用分周器10からの送信クロックをシフトさせてシフトクロックを発生させ、P/S変換器8に出力するNOT回路11が設けられ、また画面コントローラ2'からの送信イネーブル信号と伝送用分周器10からの送信クロックとの論理積(AND)を取って表示部9に出力するAND回路12が設けられている。図16の従来の画面コントローラ2と比較すると、本実施例の画面コントローラ2'には送信イネーブル信号を発生させる回路が組み込まれている。

【0037】また、LEDの表示部9は、図2～図4に示すようにV-RAMアドレスが対応し、表示部の1行1桁1カラム分に対して、上位メモリ部に8ビット×2の2byte、下位メモリに8ビット×2の2byteの計4byte分の表示データ(32ビット)エリアが対応するようになっているのが特徴である。

【0038】図5は、V-RAMアドレス、送信クロック、送信イネーブル、実送信クロックのタイミングの関係を示すタイミングチャート図である。このタイミングは、本実施例の特徴的な動作であり、図5における送信クロックを送信イネーブル信号を使って実送信クロックに変換し、この実送信クロックが表示部9へ入力されて表示が為されるようになっている。

【0039】1行1桁を1単位(ユニット)として、このユニットを16桁有する表示部9に対して、図5のタ

8

イミングにて表示部9へ実送信クロックを入力した場合に、表示部9を構成するLEDドットマトリックスディスプレイユニットでは、表示データが図22に示したユニット内部のシフトレジスタを介して、実送信クロックに同期した形で隣のユニットへと送信される。

【0040】そして、本実施例では、図22に示した16ビットシフトレジスタを送信イネーブル信号のLow(0)を使って実送信クロックを停止することで、停止した期間中の表示データが表示部9へは入力されるものの、表示部9内での表示のための転送が為されず、また送信イネーブル信号のHigh(1)で実送信クロックを発生させて表示データを表示部9へ転送させることができる。このように表示させたい表示データのみを実送信クロックの発生と停止によって制御することができる。

【0041】従来の技術では、LED表示部9へ表示データ(シリアルデータ)を送信する際に、図21に示すように、送信クロックのみにて、表示部9内へデータ転送を行っていたが、本実施例では伝送用分周器10からの送信クロックと画面コントローラ2'から生成される送信イネーブル信号の論理積(AND)をAND回路12から得て、この論理積となった実送信クロックを表示部9側で受信し、実送信クロックが発生した時点の表示データが表示部9内で転送されて、表示が行われるものである。

【0042】例えば、図3に示すLED表示部9の1行1桁目の1カラム目には、V-RAM7上のV-RAMアドレスの0000H～0003Hの4byteの表示データエリアが対応するが、表示部9側では2byte(8ビット×2)分の表示データを受け取ることで表示は完成することになる。

【0043】そのため、画面コントローラ2'からHigh(1)又はLow(0)と切替えられた送信イネーブル信号をAND回路12へ入力することで、1行1桁1カラムに対するV-RAM7上の4byteの表示データから、表示に必要な2byte分の実送信クロック(16クロック分)を発生させる。これでP/S変換器8より表示部9へ入力される1桁1カラム分の表示データ(32ビットシリアルデータ)の内から実送信クロック発生期間中に16ビット分だけの表示データが有効となり、その有効となった表示データが表示部9内へ転送されて表示されることになる。

【0044】本実施例の場合、図5のタイミングチャート図に示すように、LED表示部9には図3のV-RAM7上の上位メモリ部に格納されている表示データ2byteのみがLED表示部9内へ転送されるタイミングとなっている。

【0045】図5では、V-RAMアドレス0002Hが画面コントローラ2'からV-RAM7へ入力され、白矢印のところでV-RAM7より表示データ(8ビットパラレルデータ)が出力される。NOT回路11から

50

(6)

9

は絶えずシフトクロックがP/S変換器8へ入力され、表示部9へシリアル表示データを送信しており、送信イネーブル信号を白矢印のときに送信クロックの16クロック分の期間をHigh(1)にすることで、AND回路12での送信イネーブル信号と送信クロックとの論理積により実送信クロックが発生し、上位メモリ部に対応するV-RAMアドレスの0002H、0003Hの2byteの表示データが0002Hの表示データの最上位ビットから最下位ビットへ、そして0003Hの表示データの最上位ビットから最下位ビットへと、表示部9へ転送されることになる。

【0046】送信イネーブル信号がLow(0)の期間はAND回路12で論理積とならず、実送信クロックが停止するため、図5のV-RAMアドレス0000H、0001H、0040H、0041H、…といった図3の下位メモリ部の表示データは、表示部9へP/S変換器8から送信はされるが、表示部9内で表示のための転送に用いられることはなく、無効な表示データとして捨てられることになる。

【0047】つまり、図3の上位メモリ部に対応する2byteは表示部9に送信されて表示されることになるが、下位メモリ部に対応する2byteは表示部9で表示されないようになっている。

【0048】図5に示すようなタイミングにて、表示を行う本実施例の表示装置の回路を用いて表示のスクロール動作を行う際に、左右スクロールに関しては図26に示した従来の技術と同様に、表示部9内へ一画面分の先頭に転送される表示データを格納した表示開始アドレスを少しずつ増やしたり減らしていくことで、左右スクロール動作が実現できる。

【0049】そして、本実施例の特徴部分としての上下スクロール動作に関しては、画面コントローラ2'より生成される送信イネーブル信号のLow(0)からHigh(1)への切替えるタイミングを一画面の表示データを単位として早くしたり、遅くしたりすることで上下スクロール動作が可能となるものである。

【0050】具体的に説明すると、上スクロールを行う場合は、図2の上位メモリ部のみに表示データを格納し、最初は図5のタイミングにて表示を行う。つまり、AND回路12で送信イネーブル信号と送信クロックの論理積により実送信クロックを発生させてV-RAMアドレス0002H、0003H、0042H、0043H…等の上位メモリ部の表示が為される。

【0051】一画面分の表示が為された後に、図6に示すように、送信イネーブル信号のLow(0)からHigh(1)へ切替えるタイミングを送信クロックの4クロック分早くすることで、図5で発生させた実送信クロックより4クロック分早いタイミングで実送信クロックを発生させることが可能となる。

【0052】この4クロック分早く発生した実送信クロ

10

ックにより、V-RAMアドレス0001Hの表示データ(8bitシリアルデータ)のうち、最上位ビットからシリアルで表示部9へ送信される上位4ビットは無効となり、有効となる下位4ビットから表示部9内に転送される。

【0053】そして、下位4ビットの転送が終わると同時に、画面コントローラ2がV-RAMアドレスを図6の矢印(c)にて0001Hから0002Hへの切り替えを行い、0002Hの表示データ(パラレルデータ)が図6の矢印(d)でV-RAM7から出力し、図1のP/S変換器8へ入力され、実送信クロックの5クロック目から12クロック目までの期間に8ビットシリアルデータの転送が行われる。

【0054】実送信クロックの13クロック目からは、V-RAMアドレス0003Hの表示データが表示部9に転送されるが、その上位4ビットの表示データが16クロック目までに転送されて送信イネーブル信号がHigh(1)からLow(0)へ切り替わり、実送信クロックが停止する為、下位4ビットの表示データはP/S変換器8から出力されるものの、表示部9では同期信号となる実送信クロックがないために受け取ることができず無効となり、表示部9には下位4ビットの表示データが表示されないことになる。

【0055】その結果、図6のタイミングにて送信イネーブル信号を発生させた場合、図3に示すように表示部9の1行の下から4ドットに関しては、表示データが格納されていない下位メモリ部のV-RAMアドレス0001H、0005H、0009H、000DH、…、01FDHの部分の下位4ビットが対応して表示され、上から12ドットに関しては、表示データが格納された上位メモリ部が対応して表示されるが、上位メモリ部のV-RAMアドレス0003H、0007H、000BH、…、01FEHの部分の4ビットは無効となるので表示部9では表示されない。このスクロールの動作は図7(a)の表示が上へ4ドットずれた図7(b)の表示となるものである。

【0056】このように、送信イネーブル信号を図5のタイミングから、図6、更に図8、図9、図10のタイミングへと、つまり1画面の表示を行った後、送信クロックの4クロック分ずつ送信イネーブル信号の出力を早くしていくことで実送信クロックを発生するタイミングも早くして、図7(a)～(e)までの上スクロール動作を実現するものである。逆に、下スクロール動作は、送信イネーブル信号を送信クロックの4クロック分ずつ遅くしていくことで実送信クロックの発生タイミングを遅くして実現できるものである。

【0057】更に、具体的に、図11～図15を使って本実施例の表示装置について説明する。図11に、本実施例の表示装置のシステム構成を示し、そして、図12に、本実施例の具体的な回路構成を示し、その回路のタ

50

(7)

11

イミングチャートを図13に示す。この実施例における表示部9とV-RAM7の関係は、図2～4で示した構成であり、ここでは表示データが下位メモリ部のみに格納されている。

【0058】図11は、図1で示した実送信クロックを生成するための回路を組み込んだ実施例のシステム構成である。図11の実送信クロック、送信クロック、送信イネーブル信号、V-RAMアドレスに関するタイミングは、図5で示した通りの方式にて、表示部9へ表示データを送信するようになっている。

【0059】図12は、図11のシステム構成上において、図5に示したタイミングを実現できる具体的な回路構成を示しており、以下、図12を使って説明する。

【0060】CLK-P（送信クロック）の信号は、表示データ（シリアルデータ）を同期させた形で表示部9へ送信するための信号であり、そして実送信クロックとして表示データを転送させるための信号である。FLM-P信号（フレーム信号）は、図2に示したように表示部9の一面面分の表示が開始する直前に発生する信号である。RESET-N信号は、図12中のCLRピンに接続されている各々のICを同時にリセットを行い、初期化を行う信号である。SENDCLK-Pは、実送信クロックを示しており、（A）の部分の信号は送信イネーブル信号を示している。

【0061】V4, V3, V2, V1, V0の信号は、送信するSENDCLK-P（実送信クロック）の発生をいつの時点から発生させるかを制御するデータである。これは、図13に示すように、V-RAM7上が表示部9の垂直方向に対し、倍の表示データ（32ビットデータ）を用意した形であり、V4, V3, V2, V1, V0のデータにて、V-RAM7のメモリ上のどこ

の垂直位置に表示部9を設定するかを示すデータとなっている。

【0062】次に、図12の回路における動作について説明する。FLM-Pは、一面面分の表示が開始する直前に発生する信号であり、図14のFLM-Pの立ち上がり（LowからHigh）にて、V4, V3, V2, V1, V0の信号を図12のラッチ回路（4）、（5）へ読み込み、ラッチ回路（4）の出力Qからは入力したデータと同様の値が出力され、反転Qからは入力とは反転したデータが出力される。

【0063】また、ラッチ回路（5）に入力されたV3, V2, V1, V0は、各々反転出力4Q, 3Q, 2Q, 1Qより入力したデータとは反転したデータが出力され、Dフリップフロップ（D-f f）（12）がFLM-Pの立ち上がりにてプリセットされ、D-f f（12）の出力QがLowからHighへ切り替わるため、16進カウンタ（8）へV3, V2, V1, V0の値がセットされる。16進カウンタ（8）は、入力4bit（V3, V2, V1, V0）の値により、CLK-Pの立ち

12

下がりにてCLK-Pのカウンタを行う。

【0064】16進カウンタ（8）は、入力CLK-Pの立ち下がりを入力したD～Aの4ビットの値からカウンタし、出力するQD～QAの値がすべてHigh(1)（最上位ビットをQDとし最下位ビットをQAとした、4ビットデータがFH）となった時、R0よりCLK-Pの1クロック分の期間High(1)を出力する。

【0065】次のCLK-Pの立ち下がりがあると、16進カウンタ（8）のQD～QAの出力はすべてLowになり、出力R0もLowとなり、16回カウントした後、R0から出力Highが発生する。R0からの出力はCLK-Pを16回カウントする毎に発生する信号である。つまり、R0からの出力は16進の桁上りを示す信号である。

【0066】例えば、V3, V2, V1, V0の4ビットによりFH（=1111）が入力された場合、16進カウンタ（8）へは0H（=0000）が読み込まれ、CLK-Pの立ち上がりから0HからFHまでの16クロックをカウントした時点で、16進カウンタ（8）のR0より出力が発生する。出力R0はD-f f（10）へ入力され、16進カウンタ（8）の内部にて発生するスパイクを取り除きD-f f（10）の出力Qより1クロック遅れた形で出力QがD-f f（9）の分周回路へ入力される。

【0067】D-f f（9）の分周回路は入力したD-f f（10）からの信号がCLK-Pの16クロック期間毎に立ち上がりが発生するため、16クロック期間毎に反転出力QからHigh、Lowを繰り返す信号を出力する。入力が負論理のNOR回路（11）は、D-f f（9）より出力される（A）の信号とCLK-Pの反転した信号を入力とし、（A）の信号がLowの期間、CLK-Pの反転信号をNOR回路（11）より出力し、この出力される信号が実送信クロック（SENDCLK-N）となるものである。

【0068】次に、FLM-Pの立ち上がりにて、V4がLowの場合、D-f f（4）の出力QはLow、反転出力QはHighとなり、FLM-PがHighの期間D-f f（12）、D-f f（13）がプリセットされ、D-f f（12）、D-f f（13）の反転出力QはLowとなりOR回路（6）の出力はHighからLowへ切り替わり、D-f f（9）の分周回路の反転出力QがHighとなる。D-f f（9）の分周回路の出力が一画面の開始にてHighの場合、NOR回路（11）の出力より生成されるSENDCLK-P（実送信クロック）が停止することになる。

【0069】そして、16進カウンタ（8）へ読み込んだ値からCLK-Pをカウンタとし、FHの値となった時点でR0より桁上り信号が発生し、D-f f（10）から出力される立ち上がりにて、D-f f（9）の分周回路の反転出力QをHighからLowへ切り替え、NOR回

(8)

13

路(11)の出力から実送信クロックを発生させる。

【0070】次に、FLM-Pの立ち上がりにてV4がHighの場合、D-ff(4)の出力QはHigh、反転出力QはLowとなり、FLM-PがHighの期間D-ff(12)、D-ff(13)がプリセットされ、D-ff(12)、D-ff(13)の出力はLowとなり、OR回路(7)の出力はHighからLowへ切り替わり、NOR回路(9)の分周回路の出力がLowとなり、実送信クロックが発生することになる。しかし、OR回路(7)のラッチ回路がリセットされ、16進カウンタ(8)へFHが入力され、16進カウンタ(8)がカウントを開始した時点で、Roより桁上り信号が発生し、D-ff(9)の分周器の出力はLowからHighへ切り替わり、実送信クロックが停止するようになっている。

【0071】結果として、図14に示すように、V4の信号がHigh(1)の場合、V3、V2、V1、V0の値に拘らず、実送信クロックは下位メモリ部の表示データを無効とし、表示部9は表示データが格納されていない上位メモリ部を表示することになる。また、V4の信号がLow(0)の場合は、V3、V2、V1、V0の値をFHに設定することで、下位メモリ部に格納されている全ての表示データが表示されることになる。

【0072】図12の回路における動作を図14及び図15のタイミングチャートを使って説明すると、図12の信号(B)は、CLK-P(送信クロック)の8クロック毎に発生する信号であり、また信号(e)もCLK-Pの8クロック毎に発生する信号であって、信号(e)は信号(B)よりCLK-Pの4クロック分早く発生する信号である。

【0073】FLM-P(フレーム信号)がLowとなり、図12のD-ff(12)、D-ff(13)のプリセットが解除され、CLK-Pを16進カウンタ(1)にてカウントを行い、入力0H~7Hへと8回目のカウントを開始すると同時に、CLK-Pの立ち上がりにて、信号(e)、信号(B)がLowからHighへ切替わる。

【0074】FLM-PがLowとなり、CLK-Pの4クロック目の立上りで信号(d)がLowからHighへ切替わり、16進カウンタ(8)への入力データのロードが禁止され、その時点からまた4クロック後に信号(c)がLowからHighへ切替わり、16進カウンタ(8)がカウント動作を始める。カウント動作は、シフトクロックにて行われ、FLM-Pの立ち下がりより、CLK-Pの8クロック分の期間を過ぎた後に開始される。

【0075】図15に、図1のP/S変換器8へ入力するシフトクロック(CLK-N)と表示データ、そして図12の信号(B)、信号(B')の関係を示す。図12のD-ff(12)とD-ff(13)は、CLK-Pをカウントする16進カウンタ(1)にてCLK-Pを8クロック毎に発生する信号をD-ff(2)、D-

14

ff(3)の反転出力Qより入力データとして得ており、D-ff(13)がFLM-PのLowとなった期間にて、D-ff(13)はプリセットを解除され信号(B')が図15に示すようなタイミングにて発生する。

【0076】信号(B)は、CLK-Pの立ち下がり(シフトクロックでは立上り)にて、そして表示データが図15のタイミング(a)のときV-RAM7から出力され、P/S変換器8へ取り込む為に発生する信号である。P/S変換器8は、信号(B)にて、Low期間に表示部9へ送信するためにシフトクロックの立上りが入力された時点で、表示データの8ビットが取り込まれ、次にシフトクロックにて表示データを送信する。

【0077】この図15のタイミングにて、P/S変換器8から表示データが送信されることになる。このように、図12の回路を用いて、V4、V3、V2、V1、V0の設定する値を一画面に表示する直前にセットし、値を増やしていくことで下スクロールを行うことができ、値を減らして行くことで上スクロールを行うことができる。

【0078】本実施例の表示装置及びその制御方法によれば、LEDドットマトリクス表示装置に限らず、ドットマトリクス状の表示装置に対して表示部を垂直方向へ走査(スキャン)するように構成した場合に、簡単な回路を付加するだけで垂直スクロール動作を容易にし、そしてCPUへの負荷を大きく減少させることができる効果がある。

【0079】上記本実施例では、画面コントローラ2内に送信イネーブル信号を発生させる回路を設け、その回路から出力される送信イネーブル信号と送信クロック(CLK-P)からAND回路(又はNOR回路)で論理積をとって実送信クロック(SENDCLK-P)を発生させるようにしていたが、送信イネーブル信号を発生させる回路を画面コントローラ2から独立させて別個に設けるようにしても構わない。

【0080】

【発明の効果】請求項1記載の発明によれば、表示ユニットのラスタの走査方向を垂直方向とし、該表示ユニットを水平方向に複数配列した表示部を有するドットマトリクス状の表示装置において、表示部の垂直方向1ラスタに対応する部分の表示RAMのアドレスを多重化して表示RAMに表示データを格納し、表示部の垂直方向1ラスタを表示する表示期間に等しい期間の信号が信号出力手段から一定間隔に出力され、実送信クロック発生回路で該信号と送信クロックとの論理積をとって実送信クロックを表示部に出力し、該実送信クロックによりパラレル/シリアル変換器から出力された表示データを表示部に表示するために転送する表示装置としているので、表示部での一画面分の表示データが表示部に転送される毎に一定間隔の信号の出力タイミングを可変にすること

(9)

15

で、実送信クロックの発生するタイミングがずれて、前の表示画面より垂直方向にずれた画面の表示が表示RAMの表示データの書き替えを行うことなくできるため、垂直方向のスクロールをCPUへの負荷を低減させて実現できる効果がある。

【0081】請求項2記載の発明によれば、請求項1記載の表示装置において、表示部での一画面分の表示データが表示部に転送される毎に実送信クロックの発生停止を制御する信号出力手段からの信号の出力タイミングを早くするような制御方法としているので、実送信クロックの発生するタイミングも早くなり、前の表示画面より上方向にずれた画面の表示が表示RAMの表示データの書き替えを行うことなくできるため、表示部での画面の上方向のスクロールをCPUへの負荷を低減させて実現できる効果がある。

【0082】請求項3記載の発明によれば、請求項1記載の表示装置において、表示部での一画面分の表示データが表示部に転送される毎に実送信クロックの発生停止を制御する信号出力手段からの信号の出力タイミングを遅くするような制御方法としているので、実送信クロックの発生するタイミングも遅くなり、前の表示画面より下方向にずれた画面の表示が表示RAMの表示データの書き替えを行うことなくできるため、表示部での画面の下方向のスクロールをCPUへの負荷を低減させて実現できる効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例に係る表示装置の基本構成ブロック図である。

【図2】本実施例のLED表示部の概略図である。

【図3】本実施例のLED表示部とV-RAMアドレスの関係を示す図である。

【図4】本実施例のV-RAM上のアドレスを示す図である。

【図5】本実施例のV-RAMアドレス、送信クロック、送信イネーブル、実送信クロックの関係タイミングチャート図である。

【図6】上スクロール動作時の第1のV-RAMアドレス、送信クロック、送信イネーブル、実送信クロックの関係タイミングチャート図である。

【図7】垂直走査の表示部での上スクロール動作の説明図である。

【図8】上スクロール動作時の第2のV-RAMアドレス、送信クロック、送信イネーブル、実送信クロックの関係タイミングチャート図である。

【図9】上スクロール動作時の第3のV-RAMアドレス、送信クロック、送信イネーブル、実送信クロックの

16

関係タイミングチャート図である。

【図10】上スクロール動作時の第4のV-RAMアドレス、送信クロック、送信イネーブル、実送信クロックの関係タイミングチャート図である。

【図11】本実施例のシステム構成図である。

【図12】本実施例の具体的な回路図である。

【図13】実送信クロックとLED表示部の関係タイミングチャート図である。

【図14】図12の回路における動作のタイミングチャート図である。

【図15】図12の回路におけるP/S変換器のタイミングチャート図である。

【図16】一般的なLED表示装置のシステム構成図である。

【図17】(a)はLEDドットマトリクスディスプレイの水平走査を示す概略図であり、(b)はLEDドットマトリクスディスプレイの垂直走査を示す概略図である。

【図18】一般的なLED表示部の概略図である。

【図19】一般的なLED表示部とV-RAMアドレスの関係を示す図である。

【図20】一般的なV-RAM上のアドレスを示す図である。

【図21】LED表示部への送信クロックとV-RAMアドレスの関係を示すタイミングチャート図である。

【図22】LEDドットマトリクスディスプレイ内部ユニット構成の概略図である。

【図23】LED表示部の表示データと送信クロックのタイミングチャート図である。

【図24】走査方向とLED表示部の関係を示す概略図である。

【図25】LED表示部の上スクロール動作を示す概略図である。

【図26】LED表示部の左スクロール動作を示す概略図である。

【図27】表示期間とCPU占有時間のタイミングチャート図である。

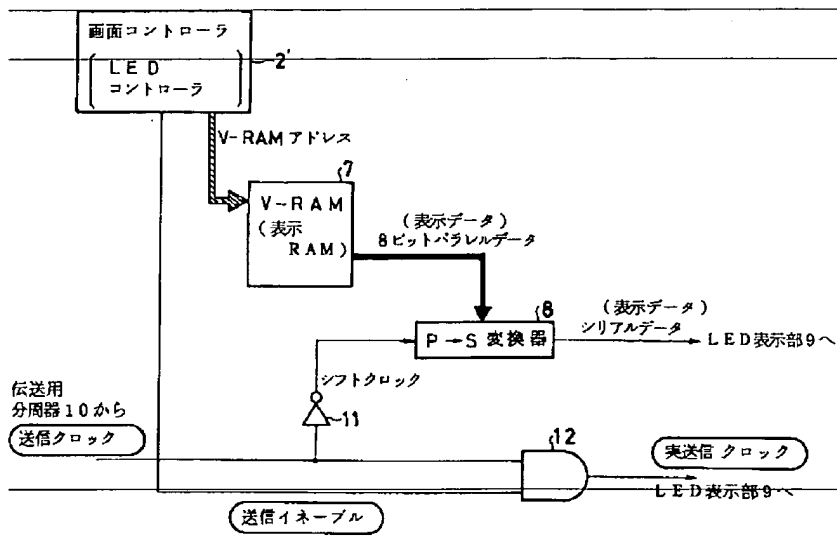
【図28】上スクロール動作のずれを示す概略図である。

【符号の説明】

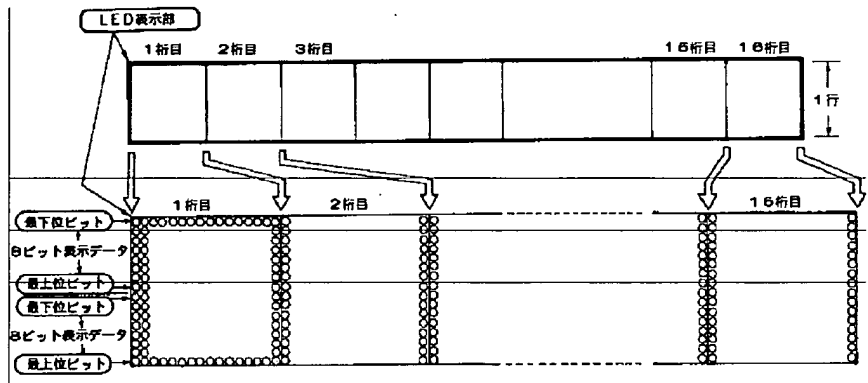
1…CPU、 2…画面コントローラ、 3…マルチプレクサ、 4…バス・ドライバ、 5…発振器、 6…画面コントローラ用分周器、 7…表示RAM、 8…P/S変換器、 9…表示分、 10…伝送用分周器、 11…NOT回路、 12…AND回路

(10)

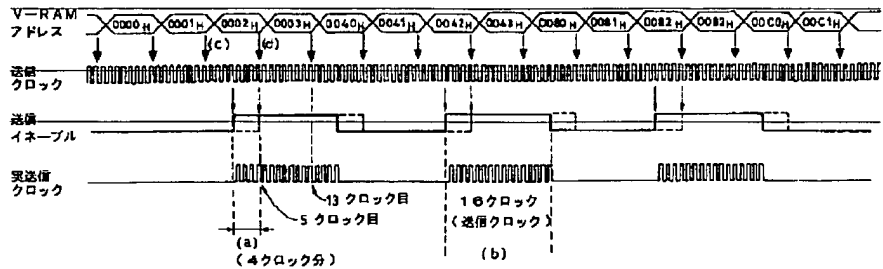
【図1】



【図2】

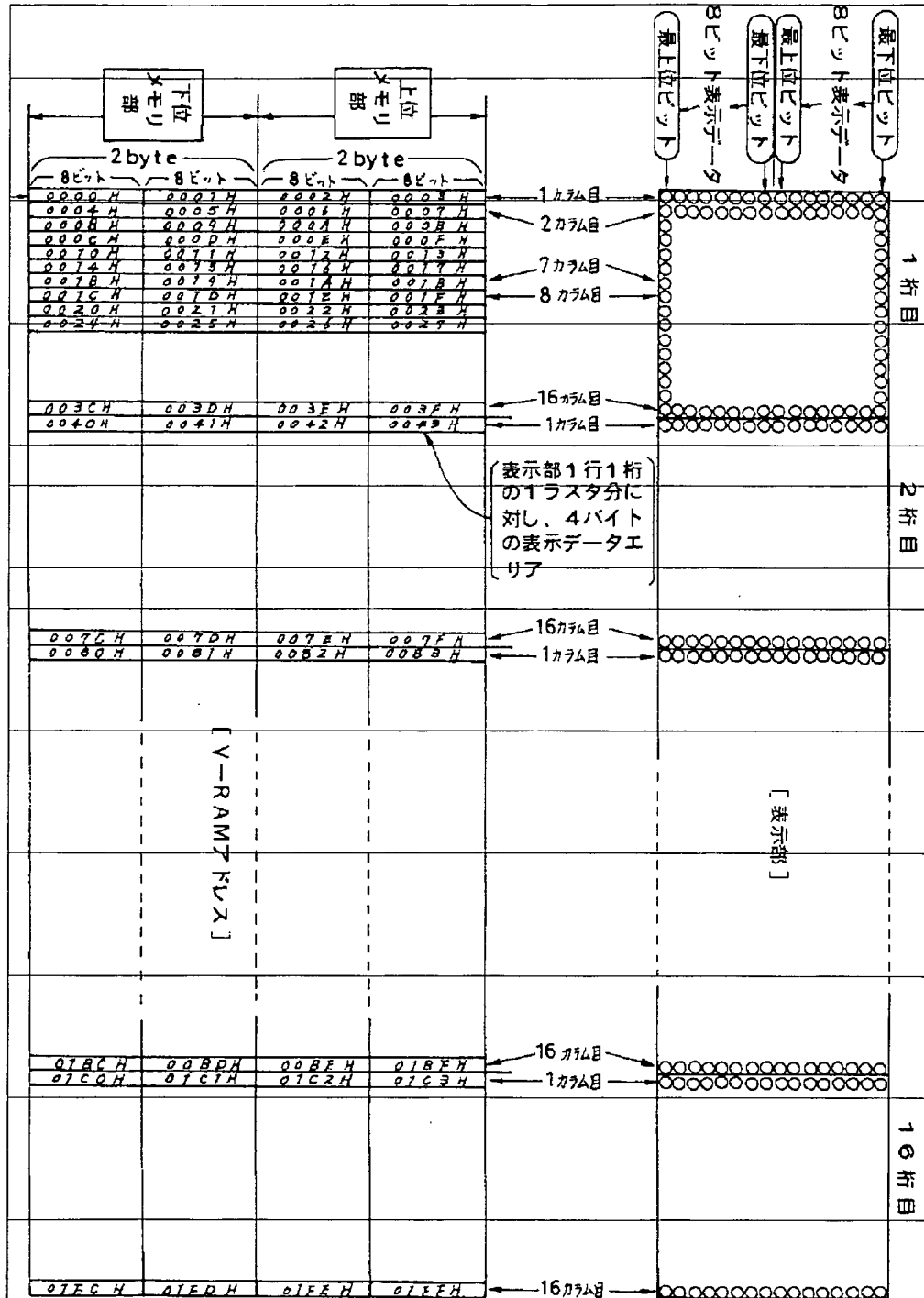


【図6】



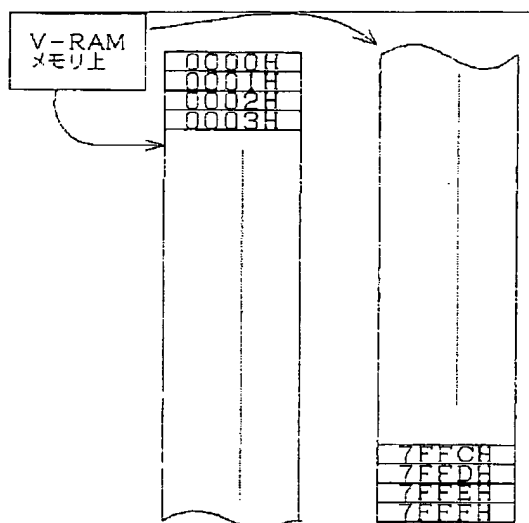
(11)

【図3】

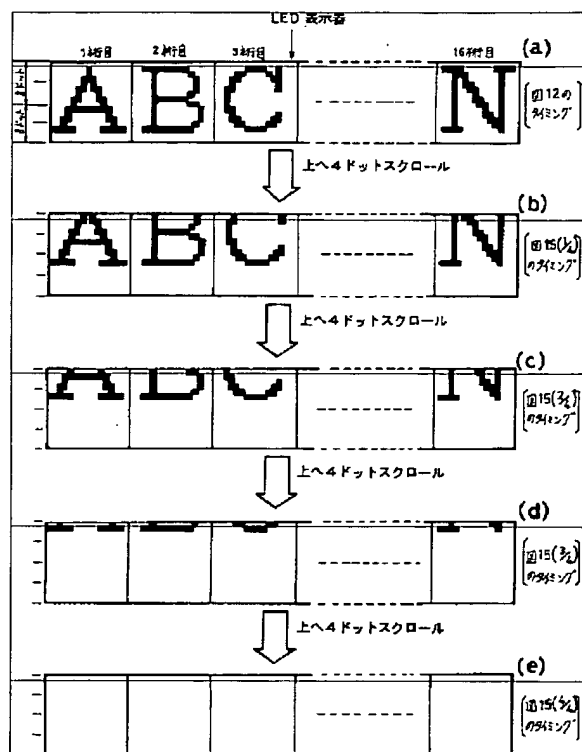


(12)

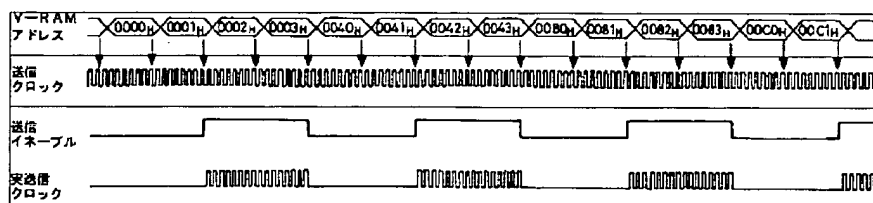
【図4】



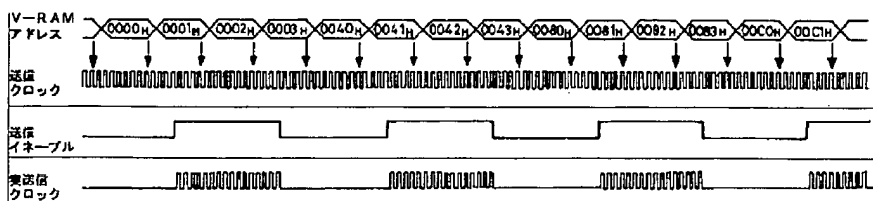
【図7】



【図8】

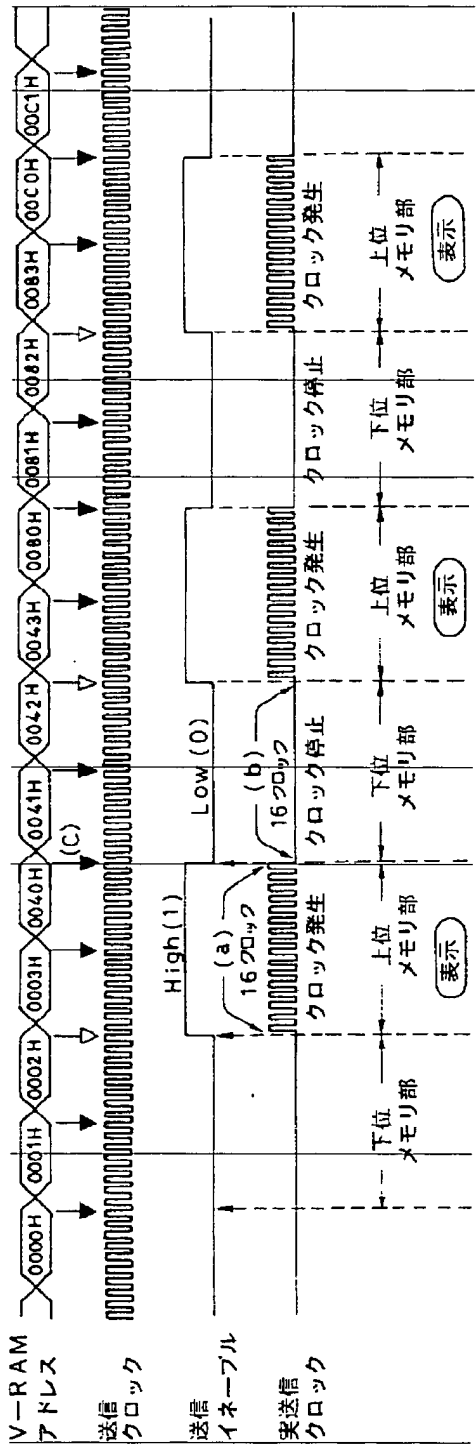


【図9】



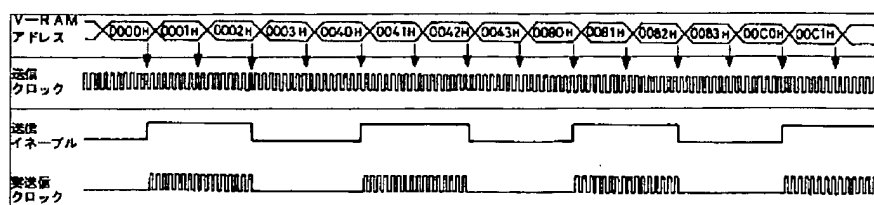
(13)

【図5】

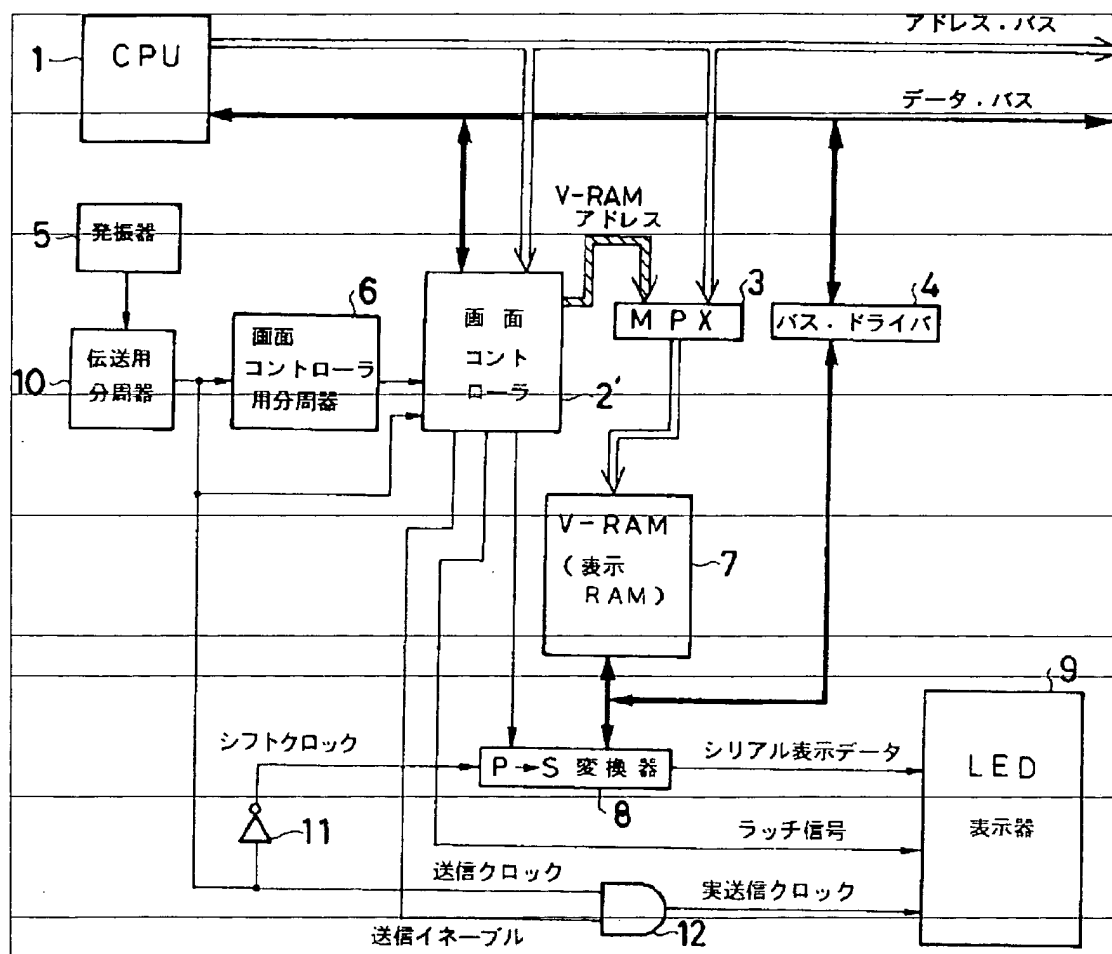


(14)

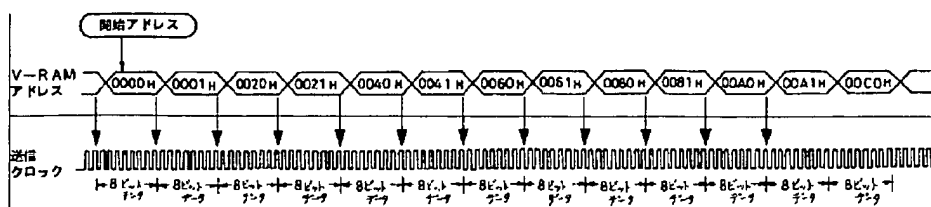
【図 10】



【図 1 1】

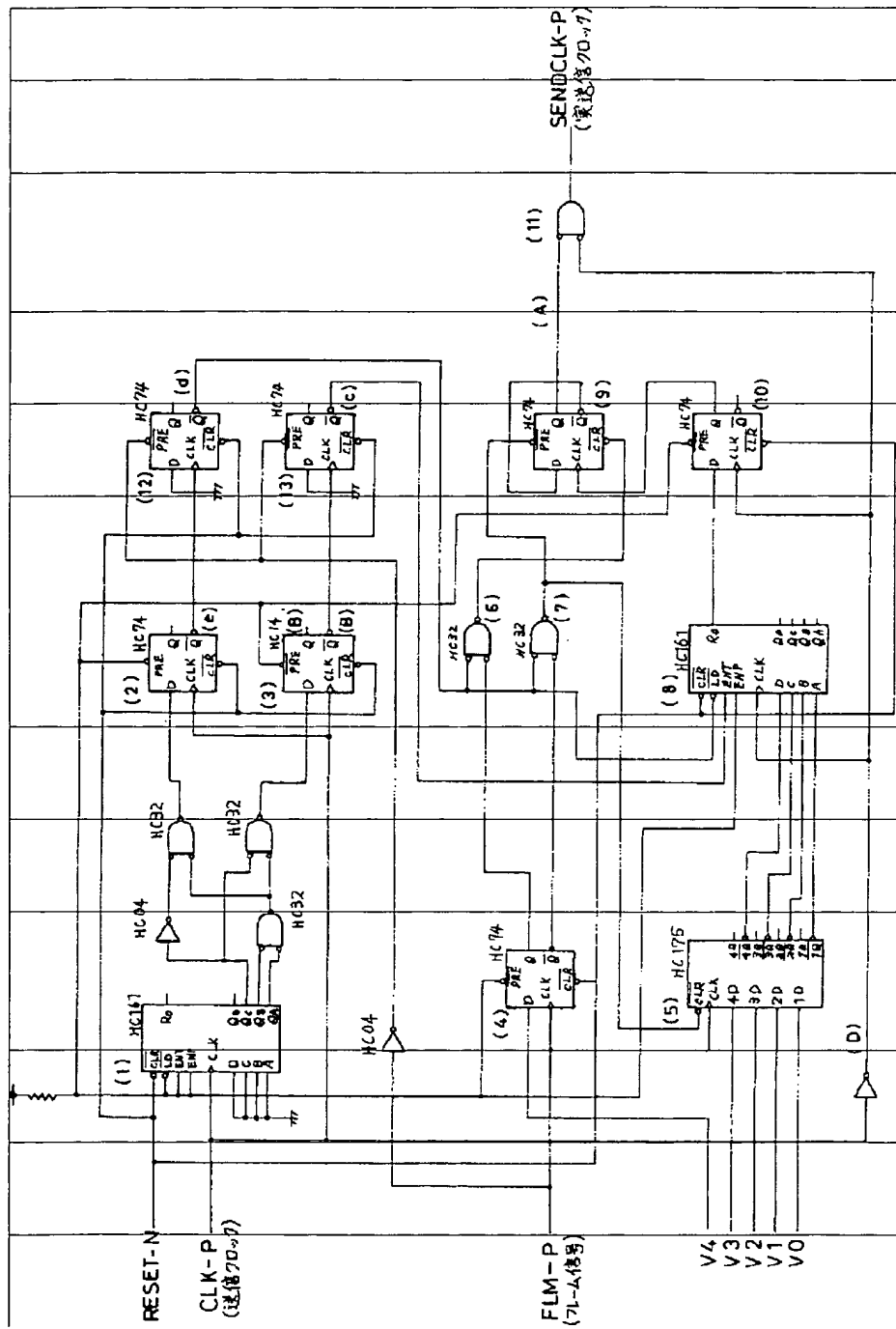


【図 2 1】



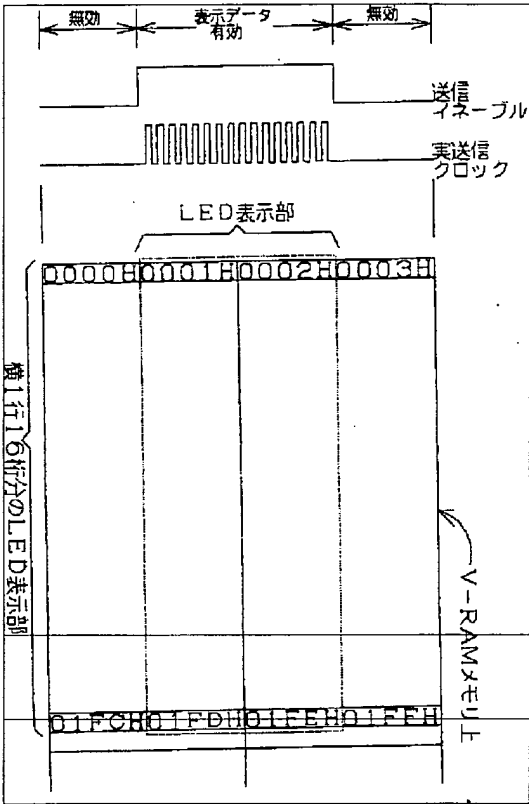
(15)

【図12】

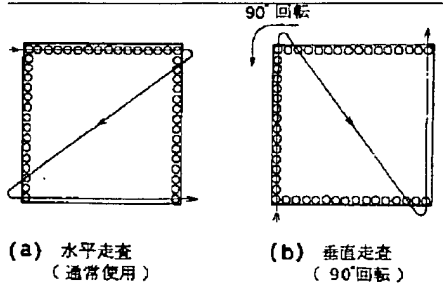


(16)

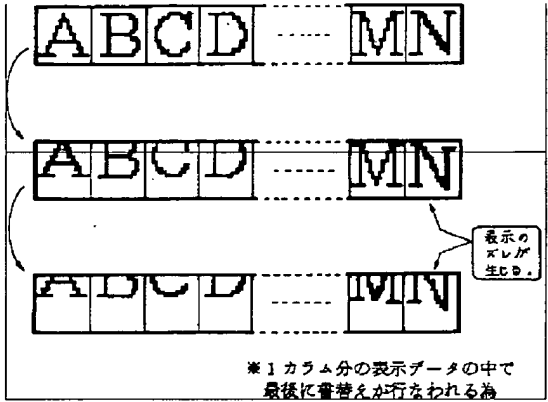
【図13】



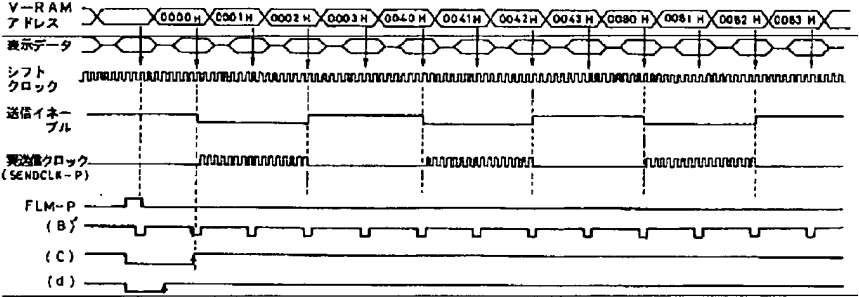
【図17】



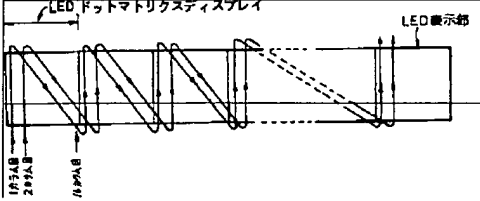
【図28】



【図14】

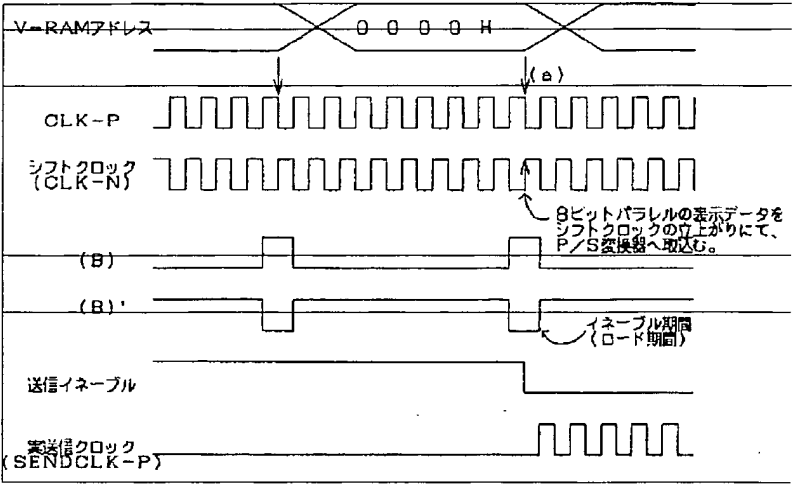


【図24】

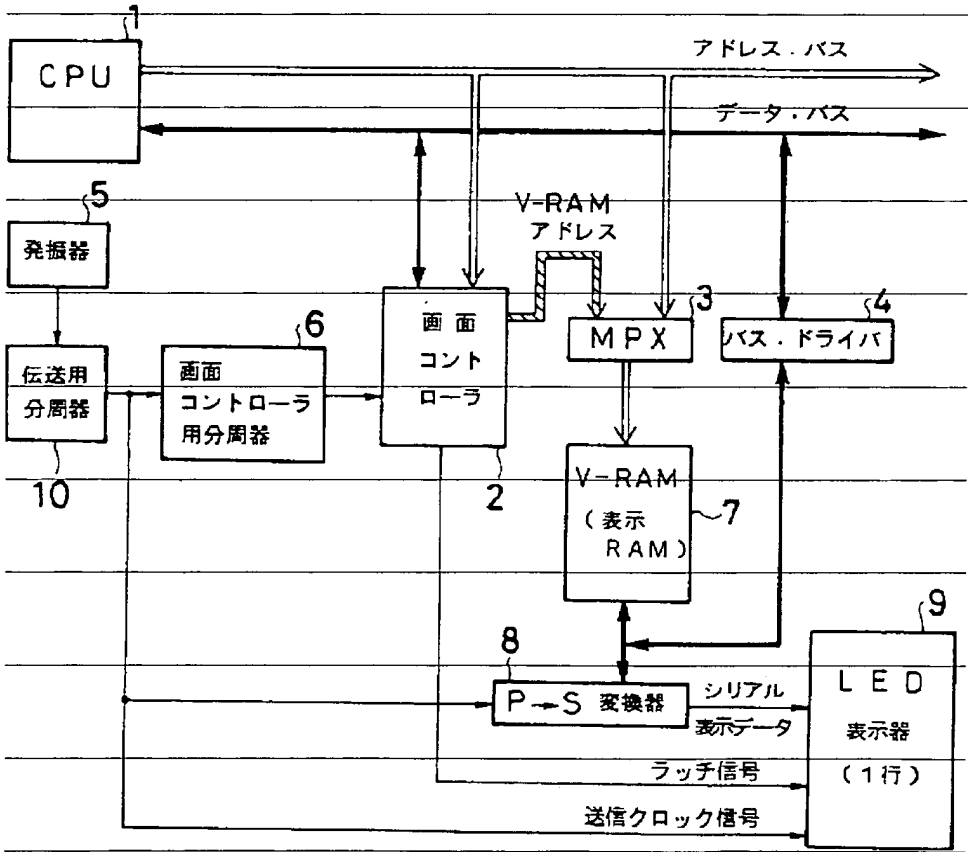


(17)

【図15】

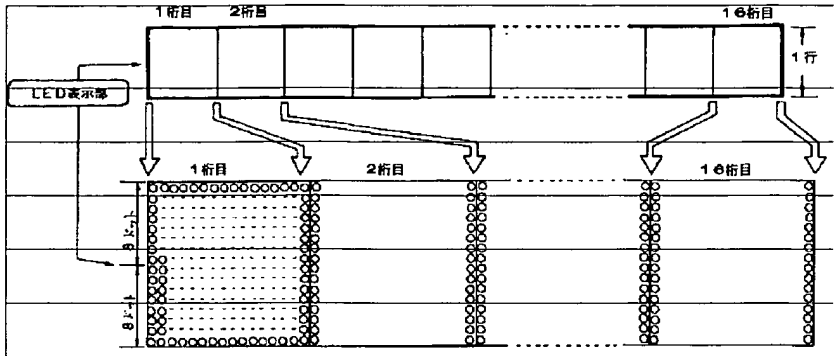


【図16】



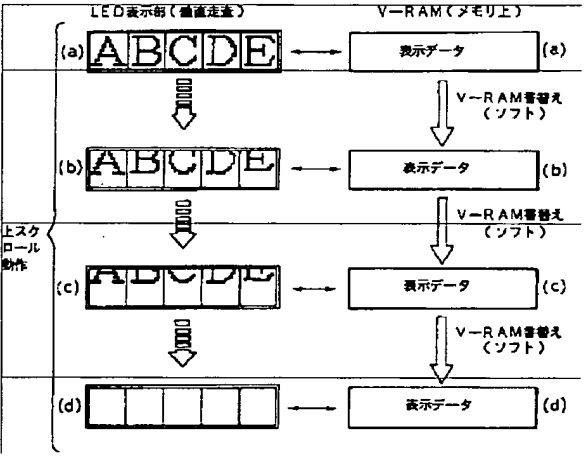
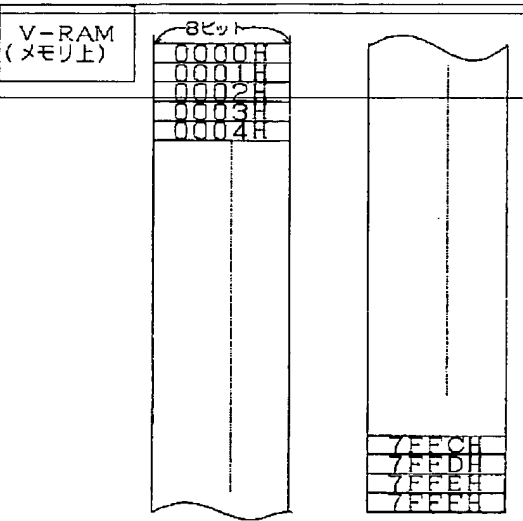
(18)

【図18】

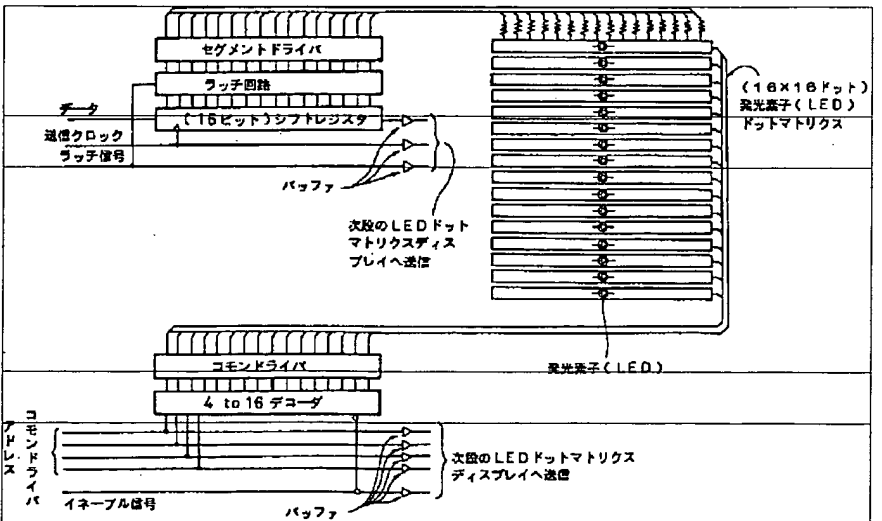


【図20】

【図25】

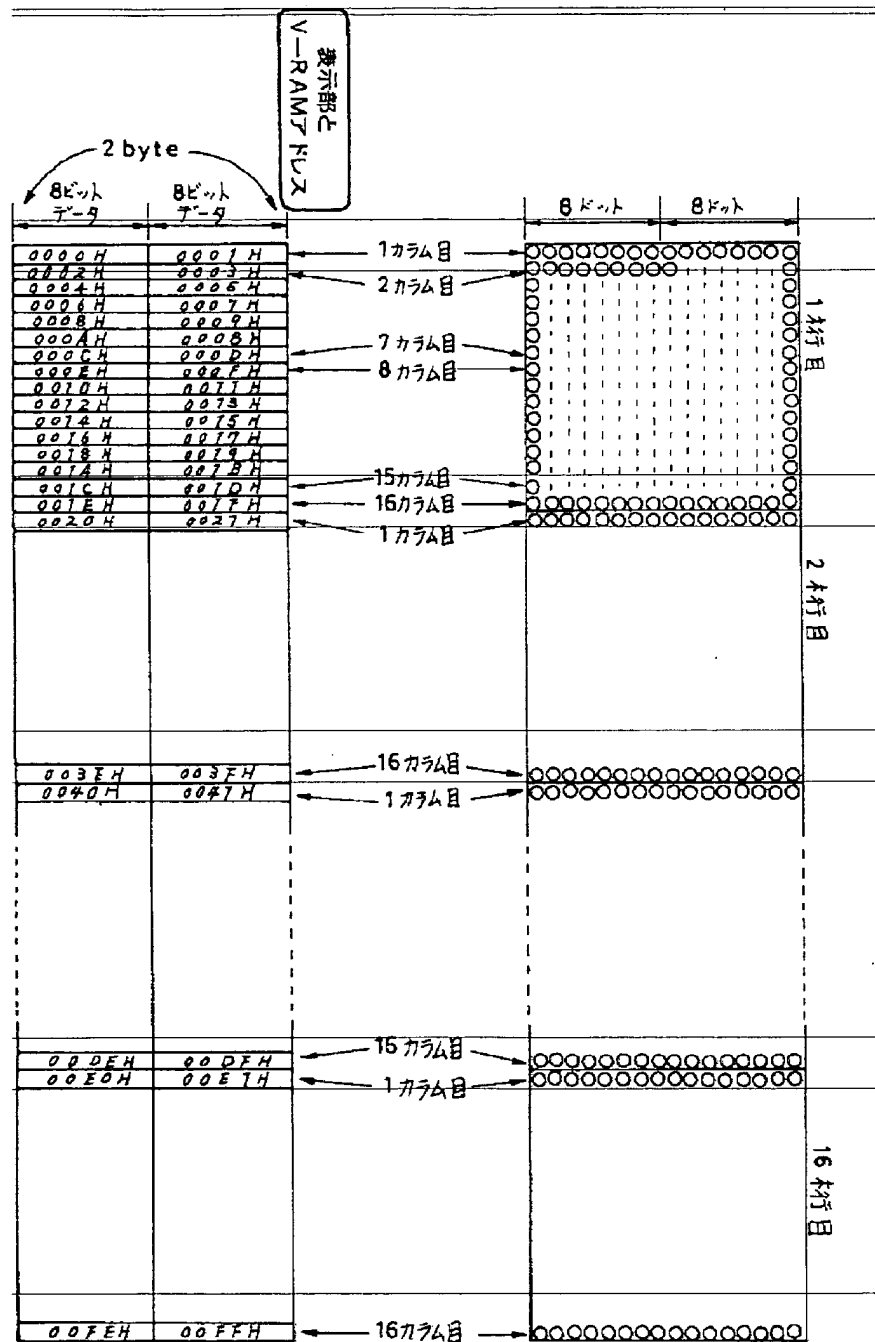


【図22】



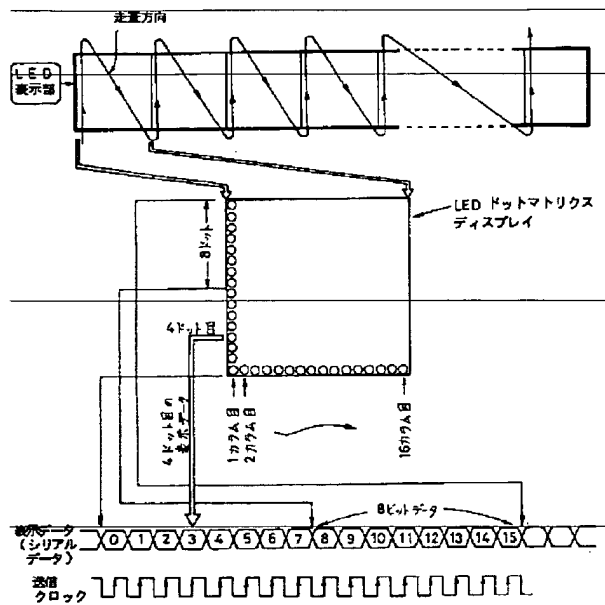
(19)

【図19】

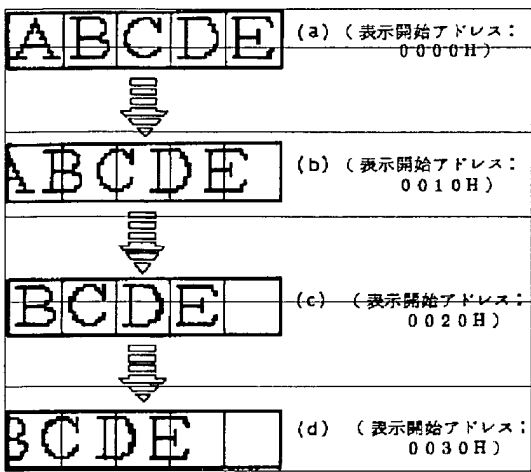


(20)

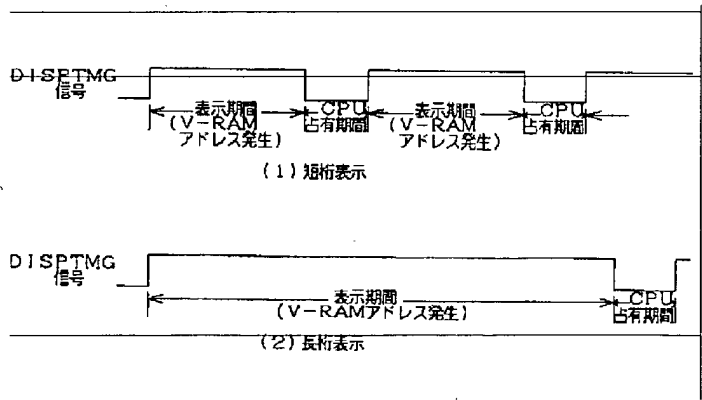
【図 2 3】



【図 2 6】



【図 2 7】



フロントページの続き

(51) Int. Cl.⁵

// G 0 9 G 3/26

識別記号

庁内整理番号

F I

技術表示箇所

8621-5G